

CHAPITRE IV

VERS LES APS DE DEMAIN

- 1. Introduction**
- 2. Vers une optimisation des performances opto-electroniques du pixel APS**
- 3. L'emploi de technologies profondement sub-micronique pour la conception des APS**
- 4. L'intégration de fonctions dans l'APS**
- 5. Conclusion du chapitre IV**

RESUME DU CHAPITRE IV

Les mesures de nos matrices ont prouvées que l'APS est apte à remplir un rôle actif dans le monde des imageurs. Dans le but d'optimiser ces performances, nous avons réalisé une matrice de test comprenant 16 structures de pixels. Ces derniers ont été dessinés en fonction des connaissances acquises par la mesure sur les matrices précédentes. Les paramètres à optimiser, sont : le rendement quantique, la FTM, PRNU, DSNU et le CVF. Cette matrice de test vient juste de revenir de fonderie et s'avère fonctionnelle à 100%. Une caractérisation approfondie débouchera sur des matrices encore plus performantes que les précédentes.

Un autre système "post-process" basé sur l'emploi de microlentilles permet aussi d'améliorer le pouvoir de détection de faibles flux des matrices APS. Cependant, cette méthode est bien adaptée pour des matrices associées à des optiques ayant un champ inférieur à 30°. Une étude préalable doit être réalisée pour adapter le mieux possible ces APS à microlentilles au système optique.

L'évolution de la technologie CMOS se concrétise par la diminution de la lithographie (vers 0.18 μ m), cette diminution entraîne des changements importants sur la nature même de la fabrication de la technologie CMOS. Dans le cadre de la réalisation de matrices APS, cette diminution est profitable, au premier ordre, pour le dessin de pixels de petite taille (<10 μ m), pour un meilleur taux de remplissage (fill-factor) et à une intégration de fonctions dans un espace très réduit. Cependant, les différences très importantes relevées entre une technologie 0.7 μ m et 0.18 μ m sont si fondamentales, que les performances d'un APS dessiné pour du 0.7 μ m peuvent fortement se dégrader pour un APS en 0,18 μ m. Cette baisse de performances peut se traduire par un rendement quantique très faible, une linéarité dans une plage de tension très réduite, une augmentation du bruit et une baisse de la dynamique. Afin de compenser ces dégradations, des précautions lors de la conception, devront prendre en compte les nouveaux éléments apportés par les technologies sub-microniques. Certainement des violations de règles de dessin et des modifications sur le process devront être prises en compte pour réaliser des APS possédant un niveau de performances encore comparable au CCD.

Enfin, l'aspect intégration d'une caméra complète sur une puce est un argument important en faveur de l'APS. Un système complet, en vue d'applications générales, permet de réunir sur la même puce que l'APS, des éléments comme un DSP, de la mémoire, un CAN, une chaîne de lecture performante.

Les fonctionnalités à caractère numérique sont assez connues. En ce qui concerne le CAN, nous avons montré que deux voies sont possibles : soit un CAN peu rapide par colonne de type simple rampe ou sigma delta, ou soit plusieurs CAN, chacun dédiés à une partie de la matrice, très rapide de type Pipe-line et quasi idéal pour une association avec une matrice APS.

1. INTRODUCTION

Les études et les mesures de performances des matrices APS qui ont été réalisées et analysées dans les chapitres précédents ont montrées qu'il est possible de réaliser, avec quelques précautions, des capteurs possédant un niveau de performance honorable. Par comparaison, entre la naissance du CCD et le moment où ce dernier a atteint le niveau que nous lui connaissons, plus d'une quinzaine d'années s'est écoulée, alors que dans le cas de l'APS, seulement 5 années se sont écoulées depuis les premières réalisations.

Cette évolution des APS ne doit pas s'arrêter « en si bon chemin ». Il est maintenant possible de donner quelques axes d'étude et de recherche pour encore en améliorer les caractéristiques.

Ce chapitre se divise en trois points :

- L'un concernant des éléments de réponse et des études proposées afin d'optimiser la structure du pixel.
- Etant donné l'évolution rapide des technologies CMOS vers des lithographies profondément sub-microniques, quel est l'avenir de l'APS dans ce contexte ? Les performances de l'APS seront-elles meilleures que celles obtenues sur les technologies avec lesquelles nous avons réalisé nos matrices de test ? Sera-t-on amené à créer une technologie propre aux APS à partir de la technologie CMOS actuelle, et d'aboutir à une technologie spécifique comme pour le CCD ? Ce paragraphe tentera d'apporter quelques éléments de réponse sur ce point et d'évoquer les précautions qui doivent être prises pour la conception de telles matrices.
- Un aperçu des éléments qui peuvent être intégrés dans une matrice APS (séquenceur, convertisseur analogique-numérique) sera présenté dans le dernier paragraphe de ce chapitre. Un point sera un peu plus approfondi concernant les structures de convertisseurs analogiques-numériques, potentiellement réalisables dans le périmètre d'une matrice APS.

2. VERS UNE OPTIMISATION DES PERFORMANCES OPTO-ELECTRONIQUES DU PIXEL APS

2.1 Conception d'une matrice de tests pour optimiser le pixel APS

2.1.1 Présentation générale d'une matrice avec des pixels de test

Nous avons initialement réalisé des circuits de test de matrices APS afin de prouver que le concept était viable. Les mesures ont montré un niveau de performances satisfaisantes pour des structures aussi "jeunes". Avec l'expérience que nous avons acquise sur les matrices précédentes, la structure du pixel doit être optimisée pour améliorer les performances opto-électroniques de détection des APS [MEND] [MEND1].

Afin d'avancer dans cette direction, nous avons décidé de réaliser une matrice avec **des pixels de test**, reprenant le plus d'éléments réutilisables et validés par rapport à un circuit de référence (APS128). Ces éléments sont le décodeur et les circuits de lecture. Le pas du pixel reste dans tous les cas à 21 μ m.

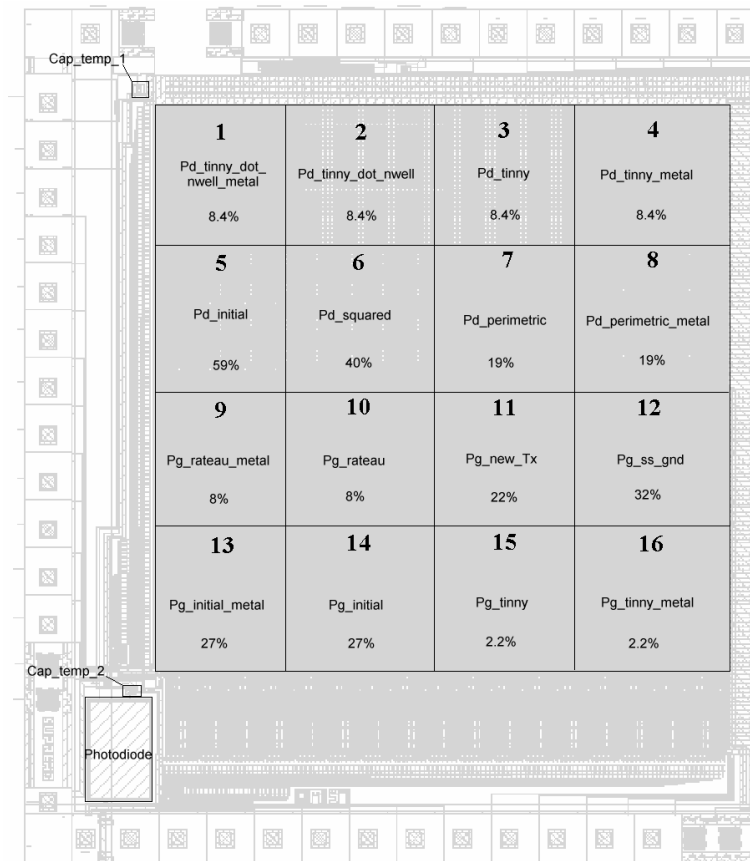


Figure 2.1-1 Vue générale du dessin de la matrice comportant des pixels de test réalisée pendant cette thèse.

La technologie utilisée reste toujours en CMOS 0.7 μ m. Ceci permettra à la fois une comparaison avec les matrices réalisées dans le passé avec cette technologie, et de considérer ce véhicule de test lorsqu'il sera porté vers une autre technologie, comme un point de départ pour qualifier cette dernière [STD-1]. Une matrice constituée de 16 structures de pixels organisées en sous matrices de 32x32 éléments a été conçue. Cet ensemble de pixels, comme le décodeur et les circuits de lecture, est ensuite intégré dans des structures issues de la matrice 128x128 préalablement réalisée.

2.1.2 les pixels photodiodes

Le changement sur les pixels photodiodes intervient dans la structure des pixels. La défaillance due à la mauvaise valeur du paramètre DSNU des pixels photodiodes de l'APS 128x128, a motivé la conception de nouveaux types de pixels photodiodes. Ce pixel initial (pixel n°5) a été conservé, afin d'en comparer les performances par rapport aux nouvelles structures. Un pixel photodiode dont le photosite possède une forme rectangulaire et moins « tourmentée » que la photodiode initiale, a été réalisé (pixels n°6).

Numéro du pixel	Fill-Factor géométrique	Structure du pixel	Changements de performances attendus
1	8.4%	Petite photodiode de 16 μ m ² et caisson N en son milieu	Rendement quantique Diffusion latérale Facteur de conversion
2	8.4%	Même structure que précédemment mais avec masque de métal	FTM PRNU
3	8.4%	Même structure sans caisson N	Ces pixels 1,2,3 et 4 peuvent se comparer directement
4	8.4%	Même structure sans caisson N avec masque de métal	
5	59%	Pixel initial de la matrice 128 ²	Sert de référence par rapports aux autres structures
6	40%	Photosite carré	Amélioration du DSNU par rapport à 5
7	19%	photodiode périmétrique	Rendement quantique
8	19%	photodiode périmétrique et métallisation	Facteur de conversion

Tableau 2.1-1 Résumé des caractéristiques des différents pixels photodiodes implantés dans la matrice de tests.

Un groupe de pixels (n°3) avec une petite photodiode de 4x4 μ m a été réalisé. La même structure a été réalisée sur une autre série (n°4), dont l'ensemble du pixel a été masqué de la lumière, sauf le photosite. Le but de cette comparaison entre les groupes 3 et 4, est de connaître, par la mesure du rendement quantique, la proportion de photons qui diffusent vers le photosite en fonction des longueurs d'ondes. De manière certaine, le facteur de conversion des structures 3 et 4, de surface plus faible, sera plus important que celui de la structure étalon.

Le groupe 1 et 2 concernent une photodiode de même taille que celle des groupes 3 et 4, mais possédant un caisson N (Nwell) situé au milieu du photosite (une règle de DRC a été violée). Il a

été démontré [IMEC-1] que ce genre de structure est plus apte à capter les photo-électrons se situant dans la zone quasi neutre du substrat (la zone du caisson N est implantée jusqu'à $3\mu\text{m}$, alors que la jonction N+/P n'est qu'à $0.5\mu\text{m}$ de profondeur). La série 2 diffère de la série 1 par une couche de métal qui masque tout le pixel sauf le photosite, afin de prouver par rapport aux groupes 1,3 et 4, l'efficacité d'une telle implantation dans la photodiode.

Les structures 7 et 8 sont des photodiodes dont l'aire a été minimisée par rapport au périmètre. Le but est d'évaluer dans quelle proportion le périmètre du pixel joue un rôle dans la détermination du facteur de conversion. Le pixel n°8 est le jumeau du 7, mais avec, en plus, une métallisation, afin de mettre en valeur les effets de diffusion latérale.

S'il est prouvé, ensuite, par les mesures expérimentales qui seront effectuées, qu'une petite photodiode ayant un fill-factor géométrique faible possède des performances proches d'une photodiode classique couvrant toute la surface laissée disponible par les transistors de lecture, l'intérêt d'utiliser celle-ci, pour des raisons de facteur de conversion plus élevé qu'une photodiode classique et un bruit ramené en électrons plus faible, sera un pas supplémentaire vers cette optimisation du pixel.

2.1.3 pixels photoMOS

Numéro du pixel	Fill-Factor (1)	Structure du pixel	Changements de performances attendus
9	8%	Pixel avec photoMOS avec forme spéciale et métallisé	Rendement quantique Diffusion latérale
10	8%	Pixel identique au précédent, avec métallisation.	FTM
11	22%	Pixel avec W du transistor TX modifié	Efficacité de transfert des charges vers la diode de lecture
12	32%	Pixel initial de la matrice 128^2 prise de masse modifiée	Comparaison avec le n°14 au niveau QE
13	27%	Pixel initial de la matrice 128^2 et métallisation	Comparaison avec le n°14 au niveau QE
14	27%	Pixel initial de la matrice 128^2	Sert de référence par rapport aux autres structures
15	2.2%	photoMOS minimum	Rendement quantique
16	2.2%	photoMOS minimum et métallisation	FTM

Tableau 2.1-2 Résumé des caractéristiques des différents pixels photoMOS implantés dans la matrice de test.

L'ensemble des pixels photoMOS de cette structure de tests comprend 8 types de pixels. Le pixel n°14 de la matrice précédente 128×128 a été conservé sur ce circuit pour servir de référence par rapport aux nouveaux pixels. Le pixel n°13 est identique au 14, mais avec une métallisation sur les parties qui ne sont pas théoriquement photosensibles, afin d'évaluer le fill-factor, réel tel qu'il a été exposé au chapitre III et §7.12.

Pour des raisons de confidentialité nous ne pouvons pas décrire en détail la structure interne des pixels.

2.1.4 Mesures à réaliser

A l'heure où ce manuscrit est rédigé, les circuits sont tout justes revenus de la fonderie. **Une première série de tests a montré un fonctionnement optimal de ces structures, et, qualitativement, les premiers résultats sont conformes à nos espérances.** Le nombre de mesures à réaliser pour une telle structure est très important. A priori certaines mesures n'auront pas besoin d'être répétées; par exemple on s'attend à ce que le CVF soit le même pour les structures 1 et 2. D'autres mesures, comme le rendement quantique, peuvent s'opérer en couplant par comparaisons relatives certaines structures ayant entre-elles le même CVF.

En résumé, une stratégie de caractérisation devra être adoptée pour éviter des mesures redondantes et mesurer le plus rapidement et le plus efficacement possible ces 16 structures. Les informations fournies par un tel circuit de test seront riches d'enseignements et permettront d'optimiser la structure du pixel lors des conceptions de matrices APS entreprises par l'équipe CIMI.

Une telle structure peut aussi servir de motif de test pour évaluer l'aptitude d'une nouvelle technologie CMOS à réaliser des capteurs APS ayant de bonnes performances électro-optiques.

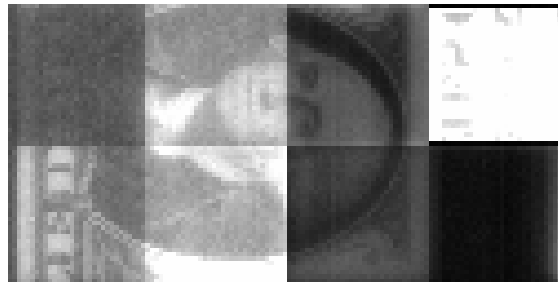


Figure 2.1-2a Image produite par les 8 matrices à pixels de tests photoMOS

La Figure 2.1-2a montre que certaines structures sont plus sensibles que d'autres à cause de la métallisation de la zone de lecture et des CDF différents.

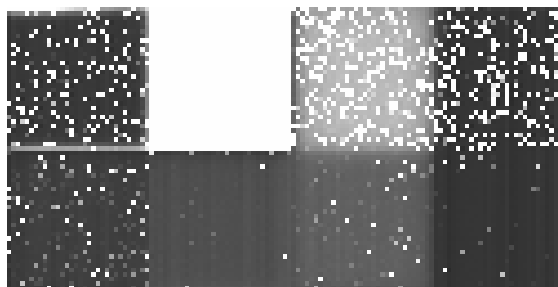


Figure 2.1-3 Image sous éclairage uniforme des 8 matrices à pixels de test photodiode

La Figure 2.1-3 montre que la deuxième zone en haut à gauche est très sensible et sature. La densité de points chauds ou défectueux varie fortement d'une structure à une autre.

2.1.5 Les règles des masques de la conception et l'optimisation du pixel

Parfois, la violation des règles de positionnement de masques lors du dessin d'une matrice est une réalité qui doit être prise en compte, pourvu que cela ne mette pas en danger l'intégrité fonctionnelle du circuit entier. Les règles utilisées par l'outil de DRC de CADENCE sont écrites et optimisées par le fondeur afin de permettre la conception avec succès des composants classiques (portes, circuits analogiques...). Un pixel APS n'a rien de « standard » et n'entre pas dans les critères d'optimisation de ces règles de dessin. Un contact permanent devra être entretenu avec le fondeur, pour savoir si la violation de dessin est :

- ♦ une violation de "masques"; comme par exemple une violation de minimums d'espace entre des motifs d'une même couche. Dans ce cas, cette règle n'est pas violée.
- ♦ une violation qui aboutit à un composant qui "n'existe pas" chez le fondeur ou une précaution qui n'a pas lieu d'être dans la conception d'une matrice APS (comme le « latch-up » dans la zone des pixels). Dans ce dernier cas, la violation des règles est possible sans trop de risques.

2.2 L'usage de microlentilles

D'autres moyens d'améliorer le fill-factor existent sans utiliser une technologie plus fine : c'est l'usage de microlentilles [SSM97]. Il s'agit de microlentilles de taille comparable au pixel qui sont installées à quelques micromètres de la surface sensible du pixel.

En général, cette matrice de microlentilles est réalisée au dessus de la passivation du circuit (post-process) par déposition d'une couche (SiO₂ ou autre matériau optique). Un masque d'épargne est réalisé afin d'attaquer les parties sans masque à l'acide pour leur donner la forme de microlentilles.

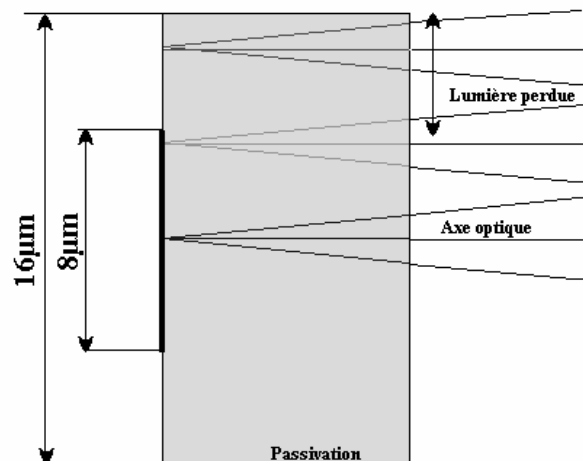


Figure 2.2-1 Cas typique d'un pixel APS, la surface sensible ne bénéficie pas de toute la lumière potentiellement captée par le pixel.

La disposition de microlentilles sur une matrice APS nécessite à l'avance de dessiner des pixels dont la **forme du photosite est carrée** (donc mal adaptée pour des formes de photosites en L ou non régulières).

La Figure 2.2-1 montre un pixel de $16\mu\text{m}$ de côté avec une surface sensible de $8\mu\text{m}$. La quantité de lumière perdue est visible sur cette figure. La Figure 2.2-2 montre qu'en créant un rayon de courbure sur le sommet de la passivation, tous les rayons lumineux convergent vers la surface photosensible du pixel. Le rayon de courbure (et éventuellement l'indice de réfraction du matériau à déposer) est optimisé à l'aide d'un logiciel de CAO d'optique par "ray-tracing" (ici ZEMAX-XE[®])

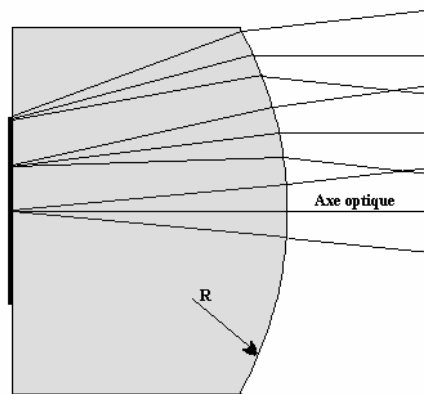


Figure 2.2-2 Pixel de la Figure 2.2-1, à la même échelle, avec la création par attaque chimique d'un rayon de courbure optimisé pour une convergence de tous les rayons sur le photosite

Le fill-factor équivalent d'un tel système est proche de la perfection, c'est à dire 100%. Cependant, ce système a ses propres limites, notamment en ce qui concerne les pixels situés sur le bord de la matrice. La figure suivante illustre explicitement cette limite.

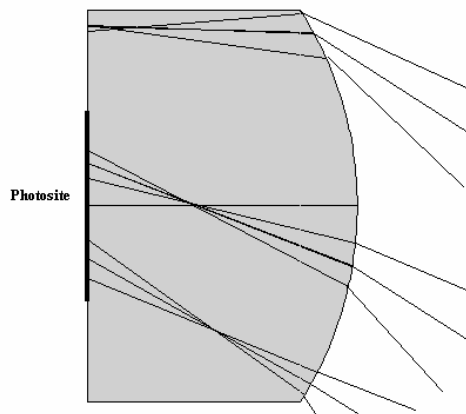


Figure 2.2-3 Cas de faisceaux issus d'une optique grand angle (40° de demi-champ) pour un pixel situé en bordure de matrice.

Dans le cas d'une optique à grand angle et pour des pixels situés en bordure de matrice, l'efficacité de ce système est limitée car une certaine partie du faisceau n'arrive plus sur le photosite.

La conséquence sur l'image, est qu'un tel système va accentuer encore plus le phénomène de vignettage (bords plus sombres que le centre de l'image), s'ajoutant avec celui provoqué par le système optique (dont le rôle est de conjuguer une image sur l'APS).

L'emploi de matrices de microlentilles sur l'APS est une solution pour améliorer le rendement quantique (ou sa sensibilité), mais cette solution est loin d'être radicale lorsqu'elle est employée avec une optique à grand champ et relativement ouverte. Lors de la rédaction du cahier des charges d'une matrice APS à microlentilles, le système optique associé à la matrice devra être connu. Dans le cas d'un usage général, cette solution n'est pas la panacée.

3. L'EMPLOI DE TECHNOLOGIES PROFONDEMENT SUB-MICRONIQUE POUR LA CONCEPTION DES APS

Pour la conception de nos matrices de test, nous avons utilisé des technologies CMOS de $1.2\mu\text{m}$ et $0.7\mu\text{m}$. Ces technologies CMOS "anciennes" (entre $2\mu\text{m}$ et $0.7\mu\text{m}$) ont des similarités importantes avec les technologies CCD et expliquent les performances de nos matrices de tests. Ce type de technologie est dépassé à l'heure actuelle (1998). Une nouvelle génération de technologie CMOS apparaît tous les 3 ans, avec une réduction en taille d'un facteur 0,7 par rapport à la précédente.

Si les performances obtenues avec ces anciennes technologies sont prometteuses, comment ces performances vont-elles évoluer dans l'avenir avec l'emploi de technologies plus fines ($0.35\mu\text{m}$ - $0.25\mu\text{m}$) ?

Nous allons tenter d'évaluer ce changement de performances dû au "scaling-down" des technologies CMOS et les précautions qui doivent être prises lors de l'emploi de celles-ci [IEEE-5].

Les progrès des technologies CMOS sont principalement réalisés pour améliorer l'intégration et la rapidité des composants numériques et non pour des matrices photosensibles, pour celles-ci certaines de ces améliorations peuvent induire des dégradations de performances non négligeables.

Les figures (Figure 2.2-1 et Figure 2.2-2) montrent les principales différences physiques entre une "ancienne" technologie de $2\mu\text{m}$ et une nouvelle de $0.25\mu\text{m}$

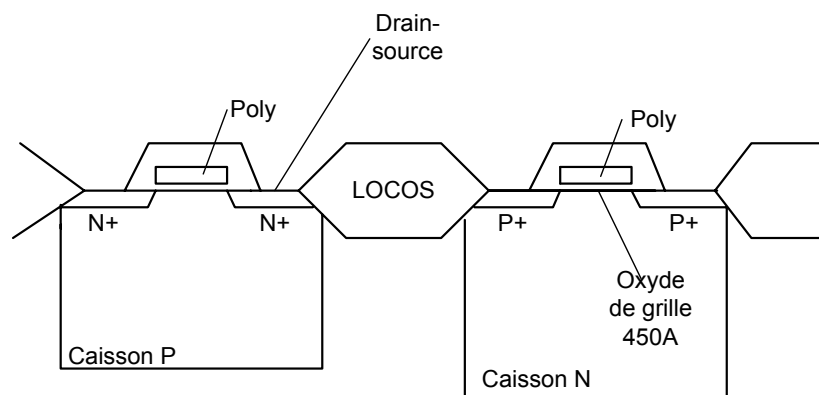


Figure 2.2-1 Coupe simplifiée d'une technologie CMOS de la gamme des 0.7 à $2\mu\text{m}$

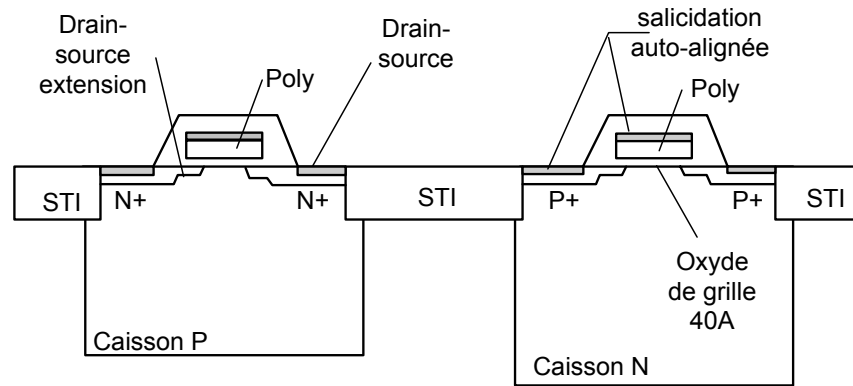


Figure 2.2-2 Coupe d'une technologie sub-micronique ($<0.5\mu\text{m}$), l'échelle est normalisée par rapport à la Figure 2.2-1.

On remarque les évolutions suivantes :

- L'épaisseur d'oxyde de grille a diminué d'un facteur 10 en faveur du CMOS $0.25\mu\text{m}$ afin de travailler avec des tensions plus basses (3.3V à 2.5V).
- La salicidation (implant d'une métallisation de TiSi_2) sur les grilles et les sources-drains des transistors dans le but de diminuer les résistances d'accès sur les transistors (R carré) se généralise.
- L'utilisation de STI (Shallow Trench Isolation = isolation par tranchées superficielles) sur la technologie $0.25\mu\text{m}$ à la place du classique LOCOS (isolation par oxydation localisée) est couramment employée.
- Un dopage plus important, et des jonctions encore plus superficielles qu'auparavant, sont mis en œuvre pour rendre compatible cette technologie avec des basses tensions.
- La tension d'alimentation passe de 5V à 3.3 ou voire même à 2.5V, permet de réduire la dissipation thermique.

3.1 Taille du pixel et fill-factor

L'usage de technologies plus fines est un avantage pour dessiner des pixels plus petits ou ayant un fill-factor plus important. D'autant plus, ces technologies fines possèdent toutes plus de deux niveaux de métallisation, et des vias et contacts empilables. Nous avons pu ainsi dessiner des pixels de $10\mu\text{m}$ en CMOS $0.35\mu\text{m}$ avec des fill-factor supérieurs à 50%, ce qui est impossible en CMOS $0.7\mu\text{m}$.

En outre, la limite physique inférieure de taille de pixel (due aux limitations optiques) est d'environ $5\mu\text{m}$ alors que la lithographie de la technologie CMOS ne cesse de diminuer.

Cet avantage va aboutir rapidement à dessiner des pixels dans la gamme des $5\text{-}10\mu\text{m}$ avec des fill-factors qui vont atteindre plus de 80% (CMOS $0.18\mu\text{m}$) et/ou à intégrer de fonctions plus complexes dans le périmètre du pixel lui même.

3.2 FTM

Nous avons vu (chapitre III §7.11.1.2) que plus le dopage est élevé, plus la longueur de diffusion des électrons est faible. Typiquement cette longueur est de $100\mu\text{m}$ pour une technologie $0.7\mu\text{m}$ (ce qui représente 5 pixels de $20\mu\text{m}$). Ce rapport de 5 entre la taille des pixels et la longueur de diffusion reste constant jusqu'à ce que les pixels atteignent leur taille limite de $5\mu\text{m}$ (contrainte due à l'optique). Pour des pixels de $5\mu\text{m}$ avec des technologies de $0.18\mu\text{m}$, ce rapport diminue et tend donc à augmenter la FTM pour des fréquences spatiales élevées.

3.3 Rendement quantique

Comme le dopage des technologies sub-microniques augmente et que la tension d'alimentation diminue (3.3V voire 2.5V), la région dépeuplée X_{dep} tend à décroître fortement (chapitre III, §3 Eq.3.1-6). En devenant trop superficielle, les photo-électrons créés dans le rouge et l'infrarouge à plus de $1\mu\text{m}$ de la surface risquent de ne plus être collectés et de se recombiner dans le substrat. Cet inconvénient se produit aussi bien pour le photoMOS que la photodiode.

Ensuite, l'usage de la salicidation sur les grilles de polysilicium provoque une très forte baisse de transmission optique. Typiquement, cette transmission est inférieure à 10% sur tout le spectre avec des grilles salicidées.

La combinaison des deux effets (salicidation et zones dépeuplées faibles) peuvent conduire à interdire la conception d'APS performants en technologies CMOS fines à cause d'un rendement quantique trop faible (<7% dans tout le spectre).

3.4 Nombre maximal de charges (Q_{max})

Le nombre de charges maximal n'est pas limité par le photosite lui-même mais plutôt par la combinaison d'un facteur de conversion trop élevé et d'une plage d'exploration en tension du suiveur dans le pixel trop faible.

L'usage de technologies fines n'arrange en rien ce phénomène : si la diode de lecture est trop petite, le CVF peut rapidement atteindre 30 à $50\mu\text{V}/e^-$ pour des photoMOS. De plus, la réduction de la tension d'alimentation entraîne celle de la plage de linéarité (à circuit de lecture identique entre le CMOS $2\mu\text{m}$ et le CMOS $0.25\mu\text{m}$). Ces arguments poussent à utiliser une structure photodiode pour avoir un Q_{max} plus important (mais au détriment du bruit !) ou à concevoir des chaînes de lectures moins sensibles à la baisse de tension.

3.5 Bruit

L'augmentation du CVF du pixel consécutive aux faits exposés dans le paragraphe précédent mène à des bruits, exprimés en électrons, plus faibles pour le pixel photoMOS. Ce n'est cependant pas le cas pour la photodiode où le bruit kTC n'est pas éliminé et tend à augmenter en tension avec la diminution du pixel, dégradant la dynamique (Chapitre III). La conception de

circuits effectuant une lecture CDS sur la photodiode devient vital pour pérenniser leur usage avec des technologies fines.

De plus, l'isolation interne du pixel s'est dégradée par le remplacement du LOCOS par le STI et des structures photodiodes peuvent en être affectées par fuites de charges pendant l'intégration. D'autres fuites, entre le drain et la source d'un transistor pourtant bloqué sont susceptibles de fausser la lecture du signal photonique (transistor de Reset sur la photodiode) [IEEE-5].

L'effet tunnel peut aussi apparaître sur des grilles qui ont des épaisseurs d'oxyde très faibles (30Å) et peut conduire pendant l'intégration à l'injection de charges à travers le photoMOS sur la zone dépeuplée, créant ainsi des photo-électrons parasites.

3.6 Intégration sur la puce APS de fonctions

La réduction de lithographie va dans le sens d'une intégration d'éléments de plus en plus petits et/ou de plus en plus puissants en termes de fonctionnalités. Ces fonctions sont créées par des composants comme des mémoires et des portes logiques. L'intégration de mémoire numérique sur la puce peut se réaliser sur des surfaces très faibles.

3.7 Dissipation

Elle est rendue plus faible grâce à des tensions de fonctionnement de moins en moins élevées. C'est un avantage apporté par l'utilisation de technologies fines.

3.8 Linéarité

La linéarité (ou la plage d'excursion linéaire) ne peut que se dégrader avec les technologies avancées si l'on transpose simplement les circuits de lecture développés pour une technologie moins fine. En effet, les tensions VDD diminuent vers 2,5V, et comme la tension de seuil reste à peu près la même (0,6V), la plage entre 2,5 et 0,6V se rétrécit fortement par rapport à 5 et 0,7V. Ceci provoque une dégradation sur le Qmax (quantité maximale d'électrons stockables) et sur la dynamique du capteur.

3.9 Conclusion et remèdes pour compenser les pertes de performances dues aux technologies fines.

L'utilisation de technologies CMOS standard sub-microniques apporte de nombreux avantages évident : taille de pixels, consommation, intégration, FTM.

L'évolution de certains paramètres restent difficiles à évaluer (comme le PRNU et le DSNU) et vraisemblablement doivent dépendre d'un fondeur à un autre.

D'autres paramètres plus critiques sur l'APS sont à examiner de très près, et des solutions pour les améliorer doivent être dégagées :

- Rendement quantique : la technologie CMOS fine doit avoir un masque d'épargne contre la salicidation afin de métalliser le photosite. En général, les

fondeurs le proposent. Parfois, une modification du process est peut être indispensable, comme des dopages moins importants.

- Bruit et linéarité : des études doivent être entreprises pour réduire les bruits décrits dans le paragraphe 3.5. Un circuit de lecture devra être repensé pour améliorer la linéarité. Une modification de process sera sans doute indispensable pour obtenir de meilleures isolations STI par des implantations plus profondes que $0.5\mu\text{m}$ [IEEE-5].

Il est difficile de réaliser des APS à hautes performances avec des technologies standards fines (et d'autant plus avec des technologies plus fines que $0.18\mu\text{m}$). Des modifications du process devront être prises en compte, comme des variations d'épaisseurs d'oxyde, de dopage, d'isolation, des tensions multiples et des ajustements des tensions de seuil V_{th} ...

Ce phénomène d'évolution de l'APS présente des similarités avec celui du CCD : les premiers CCD utilisaient des technologies P ou NMOS standards, et les concepteurs des CCD ont du renoncer à utiliser cette technologie standard à cause des pertes de performances et incompatibilité qu'elles induisaient. Des technologies propres aux CCD ont été mises en place, et ainsi, le CCD s'est écarté peu à peu de la filière CMOS standard.

Il est possible que cette tendance se produise aussi pour les APS à cause des pertes de performances trop importantes causées par l'usage de technologies sub-microniques standards.

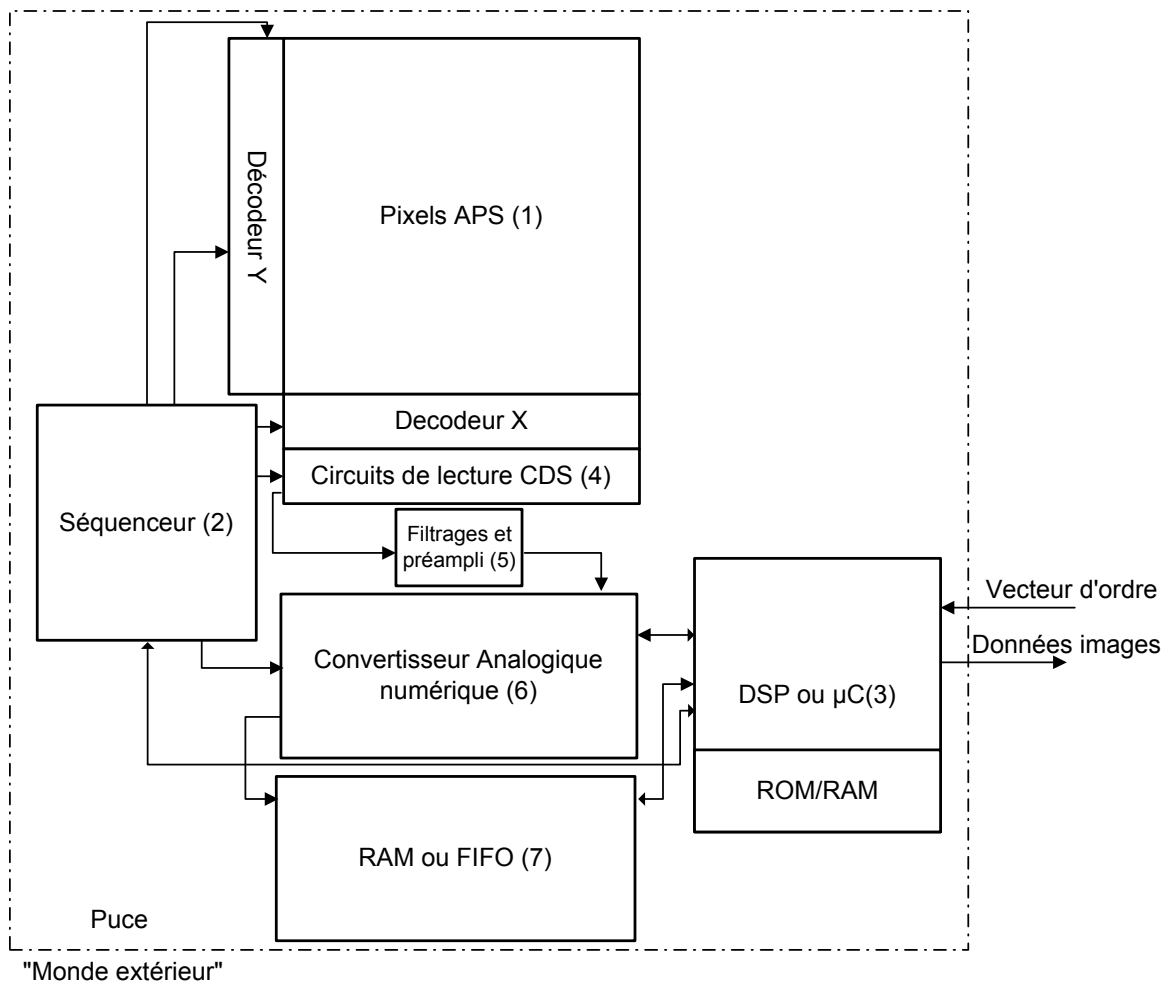
4. L'INTEGRATION DE FONCTIONS DANS L'APS

Etant donné que l'APS est pour le moment réalisé avec des technologies standards CMOS, il s'insère très bien comme boîte noire "électro-optique" dans l'importante bibliothèque de fonctions préalablement créées par les concepteurs de circuits logiques [SPIE95][SPIE95A]. Il est intéressant de voir plus particulièrement de quelle nature sont ces fonctions numériques et analogiques [IEEE-8] [ISSCC98A].

Bien que cet ensemble de fonctions puisse être apporté sur la même puce que l'APS pour l'optimiser vers une application donnée (détection d'un mouvement, reconnaissance d'objets), nous allons rester, par la suite, dans la perspective d'un APS destiné à des applications d'imagerie générales [ISSCC98C].

4.1 Vue synoptique

La Figure 4.1-1 illustre un exemple d'intégration d'éléments de la bibliothèque CMOS (VLSI) en vue d'une intégration d'un système de lecture et de traitement complet des informations. Une telle intégration sur la même puce est très délicate (hybridation) avec un capteur CCD.



**Figure 4.1-1 Vue générale d'un système APS permettant la lecture et la numérisation des données.
Vue de l'extérieur cette puce est à 100% une puce numérique (signaux TTL)**

La partie électro-optique est l'APS (1) avec ses NxM pixels, les décodeurs d'adresses, la logique "ligne" et le circuit de lecture permettant le CDS (4). Un séquenceur (2) "esclave" du DSP (3) permet de générer les signaux nécessaires à la lecture des pixels (lecture éventuellement aléatoire). Une fois le signal traité par le circuit CDS, un autre circuit (5) d'amplification et de filtrage s'occupe de différencier le signal $V_{sig}-V_{ref}$, de l'amplifier et éventuellement de le filtrer (élimination du bruit haute fréquence) dans le but de le rendre compatible avec la dynamique d'entrée du convertisseur analogique-numérique (6). Ce dernier a pour but de numériser les données issues de pixels sur 10 ou 12 bits. Les données numériques peuvent être ensuite stockées dans une mémoire de type RAM (7) ou une FIFO. Le point central du système de contrôle peut être un cœur de microcontrôleur ou mieux un DSP (avec sa mémoire programme).

Le rôle de ce processeur central est d'interpréter le vecteur d'ordre issu du "monde extérieur", d'envoyer les données images et de contrôler le convertisseur et le séquenceur. Grâce à la présence de la mémoire sur ce système, le processeur central peut à sa guise effectuer des pré-

traitements numériques (comme l'élimination du FPN), ou mieux, dans le cadre d'applications générales, de la compression d'images non destructive (méthode RLE ou différentielle) [IEEE-1][IEEE-3]. Des traitements plus complexes et dépendant de l'application peuvent être entrepris [FRNI][IEEE-4], comme par exemple la reconnaissance automatique d'un champ d'étoiles par un APS « star tracker » [OPT-1][IMEC_2][IMEC-3].

Une telle puce peut se limiter, au niveau des broches ou "*pin-out*" à une masse, une alimentation VDD, un bus d'adresses (vecteur d'ordre), un bus de données (données images) et une horloge. Ceci représente une intégration étonnante, comparé à un système basé sur un CCD et des cartes de lectures !

Parfois même, les bus d'adresses et de données peuvent se limiter à une interface série sur "deux fils" comme le protocole I²C. Un tel système s'intègre très bien sur un ensemble numérique constitué de bus, et le capteur d'image devient lui même une sorte de mémoire qui se charge elle même, lors de l'intégration, en reproduisant fidèlement les informations de l'image sur le plan focal.

Cette architecture n'est pas la seule possible et les variantes peuvent se décliner presque à l'infini, comme par exemple fusionner le séquenceur et le DSP dans un même système.

La conception d'un tel système nécessite un accès à une bibliothèque CMOS VLSI complète et des compétences dans la conception d'ASICs. Il est également nécessaire de réaliser des implantations de composants peu consommants, car la dissipation thermique dans le substrat massif risque de polluer la matrice APS elle même. L'augmentation de température de l'ensemble de la puce aboutit à une augmentation du courant d'obscurité. Il faut penser aussi au bruit que peut ramener un tel système sur la matrice APS (bruit de commutation des circuits CMOS) et il devra être minimisé.

Bien que la création d'un tel système complet soit très alléchante, elle est néanmoins très loin d'être triviale et nécessite des composants (DSP, CAN) possédant des performances d'un très haut niveau, représentant l'état de l'art en la matière ("*state of art*").

Nous allons voir plus précisément certains éléments de cette architecture.

4.2 Filtrage et préamplificateur

Des études sont en cours par d'autres étudiants en doctorat du groupe CIMI [SUPA-2][SUPA-1]. Ce système nécessite de nombreuses simulations analogiques de circuits CMOS. On doit composer avec les contraintes technologiques des transistors CMOS, comme l'appariement ou le "matching" (correspondances paramétriques entre deux composants de même nature après fabrication), ou des inconvénients comme "l'effet de substrat" (*body-effect*) et la faible plage de tension du CMOS. Ces inconvénients rendent difficile la conception de circuits analogiques en CMOS, mais aboutissent à des systèmes très peu consommants. Des structures d'amplificateurs à

transconductance et à entrées et sorties différentielles permettent de gagner en dynamique et en rejection de bruit apporté par l'environnement.

4.3 Le séquenceur

Un séquenceur peut être réalisé à partir de portes logiques par synthèse VHDL. Au moment de la création du cahier des charges du séquenceur, les chronogrammes de l'APS auront été préalablement qualifiés et optimisés. Un séquenceur "câblé" est figé par rapport aux changements de chronogrammes et ne permet aucune retouche ultérieure. Pour éviter ce problème de séquence figée, un cœur simple de microcontrôleur pourra être utilisé à sa place, et permettant des retouches subtiles sur le chronogramme du produit fini. Les fondeurs d'Europactice proposent un cœur nu de microcontrôleur en 0,7 μ m et 40Mop/s (architecture RISC) qui pourrait permettre ces opérations à haute cadence.

4.4 La mémoire

La conception de mémoire en technologie CMOS est en général issue d'un générateur algorithmique de leur dessin. Les logiciels de CAO de micro-électronique (Cadence, Mentor) proposent tous cette fonction, et qui évite au concepteur de « ré-inventer la roue ».

4.5 Le processeur central

Comme il a été dit dans le paragraphe sur le séquenceur, la bibliothèque devra fournir un cœur de microcontrôleur ou de DSP sous forme d'une boîte noire. Ce composant est proposé par certains organismes, il est la plupart du temps coûteux, mais évite de redévelopper des solutions connues, déjà conçues et performantes.

4.6 Le convertisseur analogique numérique (CAN)

C'est un point plus délicat, dans la mesure où il n'existe pas de convertisseurs analogiques numériques sous forme de boîte noire possédant un niveau de performances d'au moins 10 bits et plusieurs méga échantillons par seconde (Mech/s) en technologie CMOS.

La conception de convertisseurs analogiques numériques (CAN) de hautes performances (>10 bits et >1Mech/s) est une discipline à part entière mobilisant de grands groupes microélectroniques (principalement américains comme Analog-Devices, Burr-Brown, Dattel et aussi européens comme Philips ou Thomson). Celle-ci nécessite une très grande compétence dans la conception de circuits mixtes (analogique-numérique). Ces circuits utilisent généralement des technologies bipolaires, bien que le CMOS commence à s'imposer dans ces structures.

Ce manque de CAN des bibliothèques CMOS et la forte volonté de sa disponibilité pour les matrices APS a provoqué de nombreuses études et recherches [[IEEE-2](#)] [[SPIE96](#)].

Un autre paramètre important, la dissipation thermique est très critique et doit être réduite le plus possible, dans la mesure où ce convertisseur partage la même puce que celle de l'APS. Le CAN aura tendance à faire augmenter la température du substrat de manière locale et hétérogène. Ceci

aboutit, par conduction thermique, à une dégradation des performances de la matrice APS par une augmentation du courant d'obscurité.

Nous allons traiter par la suite les CAN qui sont utilisables en vue d'une intégration avec une matrice APS, bien que de très nombreuses structures différentes de CAN existent.

Ces recherches convergent vers deux familles de CAN : un CAN pour k colonnes d'une matrice et un CAN par colonne.

4.6.1 *CAN pour une colonne.*

Il s'agit ici de placer un convertisseur par colonne de matrice. Les M données numériques du bus <0..b> d'une ligne sont produites en parallèle [[ISSCC98B](#)]. Ces données numériques sont sérialisées ensuite par un multiplexeur.

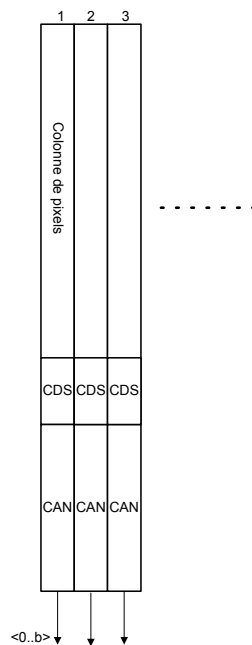


Figure 4.6-1 Architecture basée sur un CAN par colonne d'une matrice APS

Les CAN n'ont pas besoin d'être très rapides, c'est l'avantage d'une telle structure : typiquement pour une matrice $M \times N$, ce CAN doit être N fois moins rapide qu'un convertisseur unique dédié à la matrice entière. Prenons le cas d'une matrice 1000×1000 pixels lue à cadence vidéo (20 images/sec) et à 10 bits. Un CAN unique pour toute cette matrice devrait travailler à au moins une fréquence de conversion de 20 Mch/s; en plaçant un convertisseur par colonne, on réduit le besoin à 20 Kch/s pour la même fréquence image.

L'avantage de travailler à une fréquence 1000 fois moins élevée provoque un gain de consommation par CAN individuel de 1000^2 par rapport au CAN unique (la consommation augmente à peu près comme le carré de la fréquence avec des circuits analogiques). Même si 1000 CAN travaillent en parallèle, le gain de consommation est a priori d'un facteur 1000 par rapport au CAN unique [[SPIE94B](#)].

Cependant, l'inconvénient d'une telle structure est au niveau de son dessin : un convertisseur doit être dessiné en ayant une largeur moins élevée que le pas du pixel (typiquement de 20 à 10 μ m). Ceci force à utiliser des structures de convertisseurs relativement simples même si dans la direction de la hauteur tout l'espace est disponible.

Seuls deux types de CAN sont des candidats pour un dessin limité en largeur (mais pas en hauteur) : le CAN sigma delta et le CAN à rampe.

4.6.1.1 CAN Sigma delta ($\Sigma\Delta$) d'ordre M

Il est constitué au niveau analogique d'un additionneur (S), d'un intégrateur et d'un comparateur. Nous allons prendre comme exemple un ($\Sigma\Delta$) d'ordre 1 (Figure 4.6-2b). Les tensions e_n , d_n , U_n et q_n obéissent aux relations récurrentes [SUN93]:

$$\begin{aligned} e_n &= V_{in} - d_{n-1} & U_n &= U_{n-1} + e_n \\ q_n &= 0 \text{ si } U_n < V_{max} & q_n &= 1 \text{ si } U_n \geq V_{max} \\ d_n &= V_{max} \text{ si } q_n = 1 & d_n &= 0 \text{ si } q_n = 0 \end{aligned}$$

n étant le cycle d'horloge considéré.

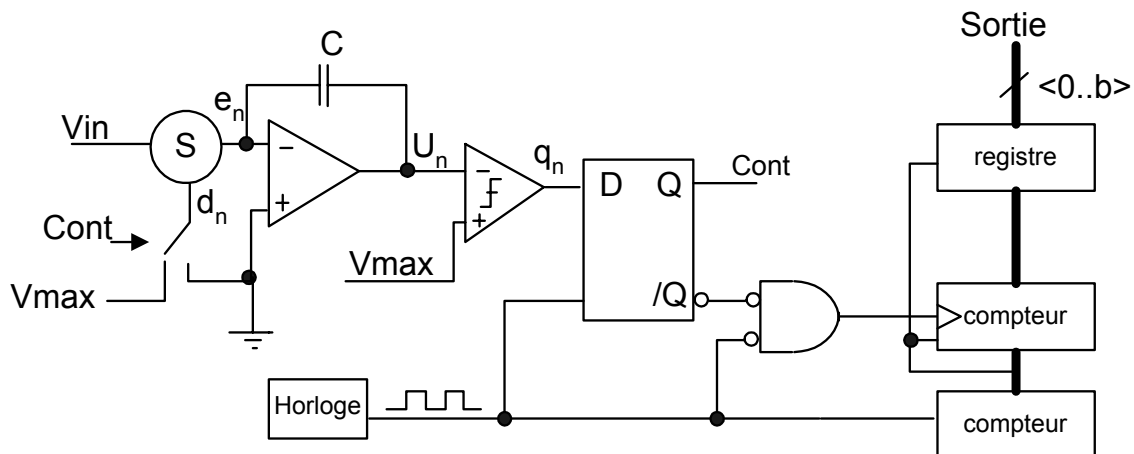


Figure 4.6-2b Synoptique d'un CAN $\Sigma\Delta$ du premier ordre

A chaque coup d'horloge, le comparateur produit un q_n "0" ou un "1". Le rôle de la partie numérique est de compter ces "0" et "1" pour arriver à la valeur numérique finale sur le bus $\langle 0..b \rangle$. Cette valeur est obtenue au bout de 2^b cycles d'horloges. On remarque que c'est un convertisseur algorithmique et que l'on peut arrêter la conversion sur un nombre de bits quelconque.

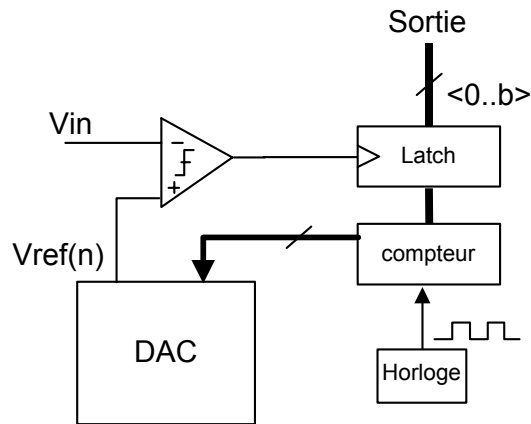


Figure 4.6-4c Principe du CAN à simple rampe

Cette valeur est envoyée sur un DAC (Convertisseur Numérique Analogique) produisant la tension $V_{ref}(n)$ pour chaque coup d'horloge n .

Comme le compteur compte régulièrement entre 0 et 1023, la tension $V_{ref}(n)$ est proportionnelle au nombre de coups d'horloge.

Dès que $V_{ref}(n)$ est égal à V_{in} (la tension à convertir), le comparateur bloque la valeur numérique du compteur sur un registre mémoire (*latch*). Cette valeur numérique correspond bien à la valeur analogique d'entrée.

Plus la valeur est faible et plus le résultat est rapidement obtenu. Cependant, un temps de conversion variable n'est pas envisageable sur une matrice et un temps de conversion égal à 2^b cycles d'horloges sera compté ici.

La mise en place sur chaque colonne d'une matrice APS de ce CAN est très naturelle et très compacte puisqu'elle ne comporte qu'un comparateur et une mémoire. Les autres circuits (compteur, DAC et horloge) sont communs à la matrice entière.

Les points critiques au niveau de la conception analogique sont les comparateurs et le DAC, tous deux doivent être précis à mieux qu'à $V_{max}/2^b$ (ici V_{max} représente la tension d'entrée maximum du CAN).

La vitesse de conversion n'est pas très rapide : on doit s'attendre à $500\mu s$ (2kech/s) comme temps de conversion sur 10 bits. Ce type de convertisseur n'est pas adapté pour l'exemple d'une matrice 1000×1000 à cadence vidéo (mais convient pour des matrices plus petites).

4.6.2 CAN pour k colonnes ($k > 20$).

Dans ce cas, nous devons choisir un convertisseur plus rapide. Il en existe plusieurs sortes dont les avantages et inconvénients sont résumés dans le Tableau 4.6-1 [SPIE94].

Type de CAN	Avantages	Inconvénients	Cycles	Utilisable sur APS
Flash	Rapide ($>10\text{Mech/s}$) et simple à concevoir	Encombrant, faible résolution ($=8$ bits), trop consommant	1	non
Approximations successives	Consommation faible, relativement simple à concevoir, compact	Lent, sensible aux parasites, non linéaire ou codes manquants	b	oui
Tension-Fréquence	sortie série des bits, faible consommation, rapide	Faible résolution ($=8$ bits)	non cyclique	non
Double rampe	moyennement simple à concevoir, haute résolution (jusqu'à 18 bits)	Lent	$>2^b$	peut-être
Pipe-line	Rapide ($>10\text{Mech/s}$), très faible consommation, déjà réalisé en CMOS, relativement compact	Complexe à concevoir, nécessite un bon appariement des composants, INL et DNL ⁽¹⁾ à surveiller lors de la conception	1	oui

Tableau 4.6-1 Résumé des avantages et inconvénients de différentes structures de CAN pour un APS

(1) INL et DNL : pour respectivement Integral Non Linearity et Differential Non Linearity

Il est aussi possible de réaliser des convertisseurs qui combinent tous ces principes. Par exemple, un CAN comprend une partie de numérisation des poids forts par une structure Flash et des poids faibles par une structure utilisant les "approximations successives".

Cependant, la conception d'un CAN n'est pas simple. Une autre difficulté que l'on a tendance à négliger, c'est la réalisation d'un échantillonneur bloqueur (SH) dont la résolution doit être supérieure à celle du convertisseur et aussi très rapide à s'établir.

Une structure qui semble bien adaptée pour des APS est la structure CAN pipe-line. Ils sont suffisamment rapides pour être partagés par au moins 128 colonnes. Typiquement, pour une matrice 1000×1000 , il est possible d'en placer 8, soit 1 pour 128 colonnes (soit une largeur de $1,25$ mm pour des pixels de $10\mu\text{m}$)

4.6.2.1 Un aperçu sur le CAN à structure Pipe-Line

Cette structure est similaire à un convertisseur à approximations successives, sauf, qu'au lieu de réaliser temporellement b cycles, le cœur de la structure est éclaté spatialement et répété b fois en série. La Figure 4.6-5d illustre le principe en prenant, par exemple, un convertisseur sur 4 bits et $B=0$. Le signal V_{in} est présent à la sortie de l'échantillonneur bloqueur (S/H), il est converti par un petit CAN flash sur 1 bit ("0" si $V_{in} < V_{max}/2$ et "1" si $V_{in} \geq V_{max}/2$). Ce résultat est appelé q_0 , V_{max} étant la tension pour laquelle le CAN produit le code le plus fort. Cette information est à la fois sortie sur un registre à décalage et reconvertie par un CNA dans le but d'en calculer le résidu

$r_0 = V_{in} - q_0 * V_{max} / 2$. Ce résidu est ensuite multiplié par 2 par l'amplificateur pour produire le signal V_{out} .

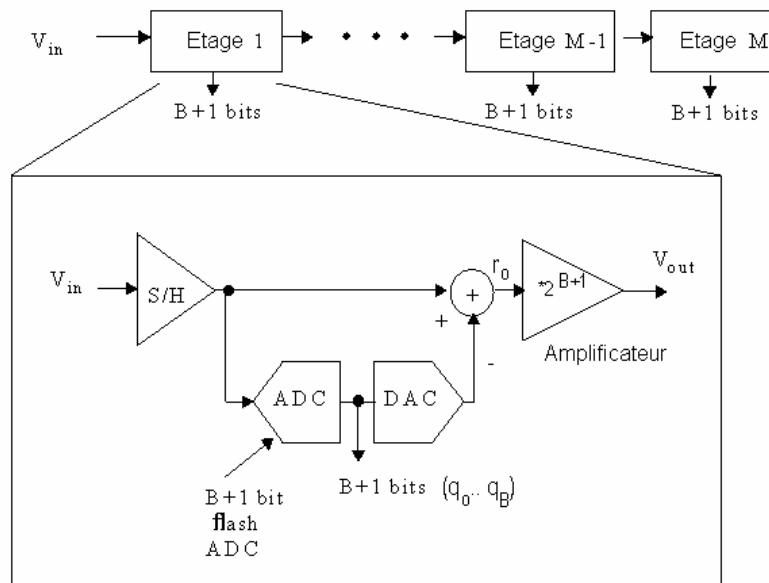


Figure 4.6-5d Principe de fonctionnement d'un CAN pipe-line

Ce signal V_{out} est réinjecté dans l'étage suivant (identique au précédent) pour qu'au cycle suivant les valeurs q_1 et r_1 soient obtenues. Dans ce cas, (4 bits) 4 étages sont nécessaires.

De plus, il faut 4 cycles pour "remplir" le pipe-line, mais une fois qu'il est rempli, les échantillons sont produits en un seul cycle (donc très rapidement).

Ce type d'architecture convient bien à un flot de pixels à convertir en série.

Pour des structures avec plus de bits, des systèmes où $B > 0$ sont réalisés (typiquement 1 à 2) afin d'avoir $B+1$ fois moins d'étages par rapport à b (nombre de bits) étages. Par exemple, pour un CAN 10 bits où $B=1$, chaque étage produit 2 bits (q_i), l'ampli multiplie par 4 le résidu et 5 étages sont nécessaires au lieu de 10 [IEEE 7].

L'amplificateur du premier étage doit être précis à $1/2^b$, pour l'étage suivant cette précision se relâche à $1/2^{b-1}$ et ainsi de suite jusqu'au dernier.

Il existe des structures similaires qui produisent 1.5 bits par étage et multiplient par 2 le résidu. Ceci à l'avantage de s'affranchir des erreurs de gains et d'offset de chaque étage par une correction numérique finale. Un convertisseur de ce type, aura sur 10 bits, 8 étages produisant chacun 1.5 bits (ce demi-bit sert de correction numérique d'erreur à la fin du processus de conversion).

Un CAN de cette nature sur 10 bits a été reporté [IEEE-6] en $1.2\mu\text{m}$ CMOS et 3.3V, il convertit à 20Mech/sec et ne consomme que 35mW (autant que la matrice APS entière). A 1Mech/s, il ne consomme que 2 mW ! Il est espéré qu'un tel CAN réalisé en CMOS $0.35\mu\text{m}$ va consommer 5

fois moins. La surface occupée est de 10mm^2 ($3.3 \times 3.2\text{mm}$) en CMOS $1.2\mu\text{m}$. L'INL et la DNL de ce CAN sont inférieures à 0.5 LSB.

De telles performances rendent ce type de convertisseur quasiment idéal pour une association avec une matrice APS sur une même puce.

5. CONCLUSION

Pour conclure sur ce chapitre, l'avenir des capteurs APS est riche en recherches futures. Au niveau de la structure du pixel, une étude approfondie devra être entreprise aussi bien au niveau de simulations (à l'aide d'outils 2D ou 3D de maillage dans le silicium) que par des structures de tests caractérisées. Ce travail va déboucher sur une amélioration de paramètres très importants comme la sensibilité du capteur. L'usage de microlentilles améliore la réponse, mais il est plus opportun de prospecter sur de nouvelles technologies plus fines qui réduisent la partie non sensible du pixel APS.

L'usage de technologies profondément sub-microniques permet d'augmenter le fill-factor. Cependant d'autres effets consécutifs à l'usage de basses tensions et à des jonctions superficielles (CMOS $<0,5\mu\text{m}$) aboutissent rapidement et principalement à une forte dégradation du rendement quantique et de la dynamique du capteur. Il est presque certain que l'usage de ces technologies devra se faire avec des pixels optimisés et des modifications des process CMOS. Des précautions devront être prises lors de la conception de telles matrices.

Cependant, malgré ces problèmes de perte de performances, renoncer à la technologie CMOS sub-micronique n'est pas évident, surtout si toutes les possibilités d'intégration de fonctions au sein de la même puce que la matrice APS devraient être, dans ce cas, abandonnées.

L'intégration d'éléments de la bibliothèque CMOS numérique comme un séquenceur et/ou un micro-contrôleur rapide et peu consommant est relativement sans grande difficulté. Par contre concernant des éléments analogiques (comme le CAN et la chaîne de lecture), cette difficulté est bien plus importante, aussi bien dans le choix de ces éléments que dans leur conception moins aisée en CMOS qu'en BiCMOS. Le souci d'une faible consommation globale et la présence d'un CAN augmente rend la tâche plus délicate.

RÉFÉRENCES BIBLIOGRAPHIQUES DU CHAPITRE IV

- [SPIE95] DENYER, RENSHAW «*Intelligent CMOS Imaging*», SPIE, proceedings vol. 2415, Feb 1995.
- [SUN93] SUNETRA, BEDABRATA «*Design of Low light Level Image Sensor with On-chip Σ ADC*», SPIE, proceedings vol. 1900, Feb 1993.
- [SSM97] NUSSBAUM, HERZIG «*Refractive and diffractive elements for micro-optical systems*», Symp. On Micromachining and Microfabrication, proceedings, Sept 1997.
- [IMEC-1] DIERICKX, MEYNANTS, SCHEFFER «*Near 100% fill factor standard CMOS active pixel*», <http://www.imec.be/fuga/publications/publ.html>.
- [IMEC-2] OGIERS, «*Identification of CMOS imager Application in Space*», <http://www.imec.be/fuga/publications/publ.html>.
- [IMEC-3] OGIERS et al., «*Compact CMOS Vision systems for space use*», <http://www.imec.be/fuga/publications/publ.html>.
- [IEEE-1] AIZAWA, EGI et al. «*An Image Sensor for On-sensor Compression*», IEEE proc. Janv 1995.
- [OPT-1] SCHOLL. «*Experimental verification of a star field identification algorithm*», Optical Engineering, April 1994, vol 33, p1120
- [SPIE94A] FRIEDMAN, YANG. «*An interline CCD imaging array with on chip AD conversion*», SPIE, vol 2172 p.54
- [IEEE-2] YANG, FOWLER, EL GAMAL. «*A 128x128 Area image Sensor with Multiplexed Pixel Level AD Conversion*», IEEE, vol 7803 p.303
- [IEEE-3] HAMAMOTO et al. «*Image Sensor for compression and Enhancement*», IEEE, vol 7803 p.61
- [FRNI] SCHANZ et al. «*A CMOS Linear Image Sensor Array with On chip programmable Signal Processing*» Proceedings of 21st European Solid-state circuits conference ESSCIRC 95, pp. 242-245, septembre 1995
- [IEEE-4] TANAKA et al. «*A low noise Bi-CMOS Linear Image Sensor with Auto-Focusing Function*», IEEE Transaction on Electron Devices, vol 36, Jan 89, p.39
- [IEEE-5] WONG. «*Technology and Device scaling Considerations for CMOS Imagers*», IEEE Transaction on Electron Devices, vol 43, Dec 96, p.2131
- [STD-1] EL GAMAL et al. «*Test structures for characterization and comparative Analysis of CMOS Image Sensors*»,

<http://www-isl.stanford.edu/people/dyang/imaging.shtml>

- [MEND] MENDIS S., KEMENY S.E, GEE R.C., PAIN B., KIM Q., AND FOSSUM E.R. « **CMOS active pixel image sensors for highly integrated imaging systems** » Submitted April 94 IEEE JSSC & accepted
- [MEND1] MENDIS S.K., KEMENY S.E., GEE R. C., PAIN B., KIM Q.AND FOSSUM E.R. « **Progress in CMOS active pixel image sensors** » SPIE vol. 2172, pp. 19-29, 1994
- [SPIE94B] PAIN et al.. « **Approaches and analysis for-on focal-plane analog-to-digital conversion** » Infrared Readout Electronics II, Proc. SPIE vol. 2226, pp.208-218, 1994
- [SPIE95A] NIXON et al.. « **128x128 CMOS photodiode-type active pixel sensor with on-chip timing, control and signal chain electronics (APS)** » SPIE, vol. 2415, charge-coupled devices and solid-state optical sensors V, paper 34, pp. 1-7, 1995
- [SPIE96] SARTORI, MALOBERTI, et al. "**Analog-to-digital conversion architectures for intelligent optical sensor arrays**", Proc. SPIE, vol. 2950, Berlin, 1996.
- [IEEE-6] CHO, GRAY. "**10 bit , 20msp/s 35mWAD converter**", Proc. IEEE, Custom integrated Circuit Conference.
- [SUPA-1] ROCACHER "**Etude d'un AOP pour la chaîne d'acquisition d'un capteur APS en technologie CMOS**", Rapport de DEA, SUPAERO-CIMI Juin 1996.
- [SUPA-2] DEGERLI "**Etude et réalisation d'un amplificateur à capacités commutées pour la chaîne d'acquisition d'un imageur APS**", Rapport de DEA, SUPAERO-CIMI Juin 1997.
- [IEEE-7] LIN, KIM, GRAY « **A 13-b 2.5-MHz Self Calibrated Pipelined A/D Converter in 3- μ m CMOS** » IEEE Journal of Solid-State Circuits, Vol.26, No.4, April 1991.
- [IEEE-8] ANDERSON, BRUCE, DENYER, RENSHAW, WANG "**Single chip sensor & image processor for fingerprint verification**" IEEE 1991 custom integrated circuits conference, pp. 12.1.1-12.1.4, 1991
- [ISSCC98A] SMITH, HURWITZ et al. "**A single Chip CMOS 306x244 pixel NTSC Video Camera**" ISSCC98 digest, Feb 1998
- [ISSCC98B] DECKER, GARTH, BREHMER, SODINI. "**A 256x256 CMOS imaging array with wide dynamic range and column parallel digital output**" ISSCC98 digest, Feb 1998
- [ISSCC98C] IHARA, YAMASHITA et al. "**A 3.7x3.7 μ m pixel CMOS image sensor for digital still camera Application**" ISSCC98 digest, Feb 1998

